

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-211128
(43)Date of publication of application : 20.08.1993

(51)Int.Cl.

H01L 21/205
H01L 21/265
H01L 21/027
H01L 27/12
H01L 31/04

(21)Application number : 04-246594

(22)Date of filing : 16.09.1992

(71)Applicant : COMMISS ENERG ATOM

(72)Inventor : BRUEL MICHEL

(30)Priority

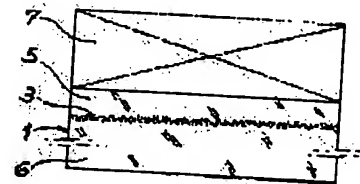
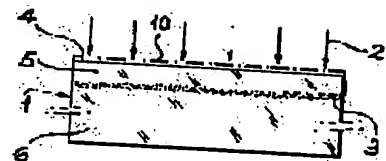
Priority number : 91 9111491 Priority date : 18.09.1991 Priority country : FR

(54) MANUFACTURE OF THIN SEMICONDUCTOR FILM

(57)Abstract:

PURPOSE: To manufacture a uniform quality and thin semiconductor film by maintaining a wafer temperature during hydrogen or rare-gas ion implantation which is lower than a gas discharge temperature and performing heat processing, while a wafer and a reinforcing material are in close contact with each other.

CONSTITUTION: A fine bubble layer 3, which defines a semiconductor wafer 1 as a low region 6 and an upper region 5 constituting a thin film, is caused by implantation to a surface 4 of the wafer 1 by a bombardment 2. Ions are selected from hydrogen gas or rare-gas ions. The wafer temperature during the implantation is maintained to be lower than a temperature for discharging the ion gas from the semiconductor. The flat surface 4 of the wafer 1 is brought into close contact with a reinforcing material 7 of a rigid material layer. By performing heat processing at a temperature of 500° C or higher which is appropriate to separation of the thin film 5 from the bulk of the substrate 6 by a crystal rearrangement in the wafer 1 and pressure in the fine bubbles, and selecting the implantation energy, the thickness of the thin film can be selected within a wide thickness range.



LEGAL STATUS

[Date of request for examination]

28.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3048201

[Date of registration]

24.03.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Laid-Open Patent Publication No.
5-211128/1993 (Tokukaihei 5-211128) (Published on
August 20, 1993)

(A) Relevance to claims

The following is a translation of passages related to
claims 6-11 of the present invention.

(B) Translation of the relevant passages

[Claims]

[Claim 1]

A method of manufacturing a thin semiconductor
material film, ..., characterized by comprising:

a first step in which a microscopic bubble layer,
which causes a lower area constituting a bulk of a
substrate and an upper area constituting a thin film to be
limited within a capacitive section of the wafer, is formed
in the capacitive section which is provided at a depth
close to an average implementation depth of ions, and the
ions are implemented to a surface of the wafer by means
of bombardment, the ions being either hydrogen gas ions
or rare gas ions, and a temperature of the wafer during
the implementation being lower than a maximum

temperature of a semiconductor heated owing to diffusion of a gas generated due to the implementation of the ions;

a second step in which a flat surface of the wafer is caused to be intimately in contact with a reinforcing member which is made of at least one rigid material layer; and

a third step ... in which an assembly of the wafer and the reinforcing member are subjected to heat treatment at a temperature suitable for detaching the thin film from the bulk of the substrate by a rearrangement effect of crystal in the wafer and a pressure from the microscopic bubbles.

[Claim 2]

The method as defined in claim 1, wherein, the implementation of the ions is conducted through at least one material layer whose type and thickness are arranged so as to allow the ions to pass through said at least one material layer.

[Claim 3]

The method as defined in claim 1, wherein, in the semiconductor, group-IV covalent bond is established.

[Claim 4]

The method as defined in any one of claims 1-3, wherein, the semiconductor is silicon, the ions for the

implementation are hydrogen gas ions, a temperature of the gas concerning the implementation is within a range of 20-450°C, and a temperature during the heat treatment in the third step is more than 500°C.

[Claim 5]

The method as defined in claim 2, wherein, the implementation is conducted through a sealed high-temperature oxidized silicon layer, and the reinforcing member is a silicon wafer which is coated with at least one oxidized silicon layer.

[Claim 6]

The method as defined in claim 1, wherein, the second step in which the flat surface of the wafer is caused to be intimately in contact with the reinforcing member is carried out by applying an electrostatic pressure.

[Claim 9]

The method as defined in claim 1, wherein, the reinforcing member is caused to be adhered to the wafer, through a process of precipitating inter-atomic bond.

(3)

は、製造手順に關して欠点がある。

【0009】ヘテロエピタキシャル法は基板の種類の型によって制限される。基板の格子パラメータは半導体のパラメータと精密には同一ではないので、フィルムは多数の結晶上の欠陥を有する。更には、これらの欠陥は高価で、脆く、且つ限定された方法でのみ存在している。

【0010】SIMOX法は、非常に少量の多イオン注入を必要とし、この注入は非常に深く且つ複雑な注入機械を要する。このような機械の出力は制限され、出力を著しく増すことは困難である。

【0011】薄片化法は、エッチストップの原理を使用する場合を除いて、均質性及び品質の観点から賛合的ではない。不運なことに、このエッチストップの導入により方法は複雑になり、場合によってはフィルムの使用が制限される。

【0012】従って、エッチストップがn型基板へのp型ドーピングによって実施されるならば、フィルム内で製造される任意の電子デバイスがフィルムのp型特性に適合させなければならない。

4

【0015】従って、本発明は、格子を構成する全ての原子が半導体面に實質的に平行な主要結晶面（該面は全ての半導体原子に対して同一指数、例えば(1, 0, 0)を有する）を有するならば、多結晶質半導体材料にも適用される。半導体材料に關しては、ZMR SOI (ZMR=帯-溶融-再結晶化)が挙げられ得る（参考文獻4を参照）。注入段階という用語は、1回の注入段階と、異なる結晶及び/又は異なるエネルギー及び/又は異なるイオンでの注入の連続とを意味する。

【0016】本発明方法の変形例として、1つ以上の材料層を通じて半導体材料内へのイオン注入を実施するのが有利であり得る。該「封入(encapsulation)」層は、イオンがこの材料層を貫通して、半導体に進入するように選択される。例えば封入層は、より薄い膜を製造するために半導体面へのイオンの進入を抑える手段としても、考えられ得る汚染から半導体を保護する手段としても、又は半導体面の物理化学的状態を調整する手段としても使用され得る。ウェーハを構成する基板がシリコンから製造されるときには、高温酸化シリコンからなり且つ厚さが例えば25〜500nmの封入層を選択することが有利であり得る。これらの封入層は注入段階後に保持され得るか又は除去され得る。

【0017】本発明では、イオン注入が実施されるウェーハの温度は作業中常に調整され、その結果温度は、注入イオンによって発生されたガスが急速に拡散し且つ半導体から放出する境界温度よりも低く維持される。例えば境界温度はシリコンへの水素注入の場合で約500℃である。この温度を超えると、微小気泡が形成されなために、この方法は効果がなくなる。シリコンの場合には、20〜450℃の注入温度が好ましい。

【0018】ウェーハ-補副材アセンブリの熱処理という第3段階中には、イオン注入によって発生された無秩序に集いつて結晶の再配列が生じる。共に第3段階の熱処理によって生じる結晶の再配列とマクロな気泡を生じる気泡の凝集とによってフィルムと基板とが分離される。これらの気泡内の気体圧力の作用下では、半導体面は高い応力を受ける。表面変形及び形成されたマクロ気泡に相当する水ぶくれ状態の生成を避けることが所望されるならば、これらの応力を補償することが重要である。従って、水ぶくれ状態は、マクロな気泡がその最終成長段階に達して互いに凝集する前に、小さく粉々になるべきである。従って、連続する半導体フィルムの製造が所望されるならば、熱処理段階中に生じる応力を補償することが必要である。本発明に基くれば、この補償は半導体ウェーハ面-補副材とを密着させることによって行われる。補副材の形状は、ウェーハ面との接触及びその機械特性により、マクロな気泡によって発生された応力が補償されるまで、熱処理段階中に平坦且つ損なわれな

50

いままであり得る。

(4)

5

【0019】本発明の基つければ、補副材の製造方法の選択及び補副材の種類はフィルムについて考えられる各適用によって決まる。例えば意図される用途が絶縁体上シリコン基板の製造ならば、補副材は、酸化物層又は酸化物層の少なくとも1つの防電層によって被覆されたいシリコンウェーハからなることが有利であり得る。補副材の酸化物は、それからフィルムが製造されるべきウェーハと密着されており、ウェーハは例えば酸化シリコン封入層を任意に有している。

【0020】補副材について選択された厚さが適当であれば、即ち微マイクロメートル〜数十マイクロメートルならば、補副材は蒸着、アトマイゼーション、プラズマ又は光子によって任意に支援される化学蒸着のような方法によってウェーハに結合され得るか又はウェーハ上に製造され得る。

【0021】密着という用語は、例えば静電圧力及び/又は付着接合によって補副材をウェーハ上に押圧することによって得られる接合を意味する。

【0022】従って、本発明の補副材は更に、補副材及びウェーハ両方に接着性物質を使用して、又は接着性物質の使用が所望されない場合には補副材と半導体ウェーハとの原子間結合を助けるために、結合されるべき表面の少なくとも1つを先に製造し且つ任意に圧力を選択する伴熱処理及び/又は静電処理を実施することにより半導体ウェーハに結合され得る。補副材は静電圧力によつてもウェーハに付着され得る。

【0023】自立膜の製造に關する適用については、補副材をフィルムから単独且つ選択的に分離することができ、補副材の種類の選択をすることが適切である。参考までに、単結晶質シリコン膜を製造するには、例えば酸化シリコン-補副材を選択することが可能であり、この補副材はそれから、プロセスの第3の熱処理段階の後にフッ化水素酸浴中で除去される。

【0024】本発明方法の特徴として、第2段階及び第3段階での作業温度の選択は以下の要件に適合せねばならない。ウェーハ上に補副材を設置するには、第3段階の処理を開始させる温度を適用してはならない。このために本発明に基くれば、第3段階の熱処理の温度よりも低い温度でプロセスの第2段階を実施することが必要である。本発明ではこの熱処理は、結晶再配列と気泡の凝集とが効果的に生じる温度で実施されねばならない。例えばシリコンの場合、結晶再配列と気泡の凝集とが適切な動力学で生じ得るには約500℃を超える温度が必要である。

【0025】本発明方法を実施するに当たって、ボンパードによる注入に使用されるイオンは通常H⁺イオンであるが、この選択は臨定的であるときみなすべきではない。

H ⁺ イオンのエネルギー (keV)	シリコンの厚さ (μm)
10	50
100	150
200	500
1000	13.5

60

図2は封入層10で任意に被覆された半導体ウェーハ1

6

【0019】本発明の基つければ、補副材の製造方法の選択及び補副材の種類はフィルムについて考えられる各適用によって決まる。例えば意図される用途が絶縁体上シリコン基板の製造ならば、補副材は、酸化物層又は酸化物層の少なくとも1つの防電層によって被覆されたいシリコンウェーハからなることが有利であり得る。補副材の酸化物は、それからフィルムが製造されるべきウェーハと密着されており、ウェーハは例えば酸化シリコン封入層を任意に有している。

【0026】

【実施例】添付図面を参照して本発明の非限定的実施例を更に詳細に説明する。

【0027】これから添付図面を参照して説明する実施例は、H⁺イオン注入による単結晶質シリコンウェーハ内の薄いフィルム製造に關する。

【0028】その表面が主要結晶面、例えば(1, 0, 0)面に相当する単結晶質シリコンウェーハに150keVでH⁺イオン(プロトン)を注入すると、注入量が少ない(<10¹⁶cm⁻²)場合には、図1に示すように深さRpで最大濃度を有する深さPに対する水素濃度プロファイルCが得られる。シリコン内へのプロトン注入の場合には、Rpは約1.25マイクロメートルである。

【0029】約10¹⁶cm⁻²の量では、注入水素原子は気泡を形成し始め、これらの気泡は表面に平行な面に付近に配分される。表面の面は主要結晶面に相当し、また結果的に結晶面となる微小気泡面についても同様である。

【0030】10¹⁶cm⁻²を超える(例えば5・10¹⁶cm⁻²)注入量では、シリコンを2つの部分に分離させる気泡と、厚さが1.2マイクロメートルの上方フィルム(薄いフィルム)と、基板のバックとの融合を加熱により開始させることが可能である。

【0031】水素注入は有利な例である。何故ならば、シリコン中のイオンの制動プロセスは事実上イオン化(電子制動)だからである。原子移動による原子核型制動は飛程の最後のみ生じる。それ故シリコンの表面層では非常に僅かな欠陥が生じ、限定された厚さの層にのみ生じる。これにより、適切な注入量(5・10¹⁶cm⁻²)で方法に必要な効率、及び表面層の分離後には相対的に限定された表面を得ることが可能となる。

【0032】本発明方法を使用すると、注入エネルギーを選択することが可能となる。この特性は、注入イオンの原子番号zが小さいだけに一層顕著である。例えば以下の表は、H⁺イオン(z=1)の異なる注入エネルギーに対して得られるフィルムの厚さを示している。

【0033】

H ⁺ イオンのエネルギー (keV)	シリコンの厚さ (μm)
10	50
100	150
200	500
1000	13.5

70

を、シリコン、主要結晶面に平行な平面4を通しての

(5)

7
H⁺イオンのイオンボンバード2を受けている。面4に平行に微小気泡層3を認めることができる。層3及び面4は薄いフィルム5を限定している。半導体基板6の他の部分は、基板のバルクを構成している。

【0034】図3は、半導体ウェハ1の面4と密着せられた補材7を示している。本発明の有利な実施例では、材料へのイオン注入は高阻酸化シリコン封入層10を通じて行われ、補材7は少なくとも1つの誘電層によって被覆されたシリコンウェハからなっている。

【0035】他の実施例は、半導体材料に補助材を固定するために静電圧力を使用している。この場合、例えば5000Å厚さの酸化シリコン層を有するシリコン補助材が選択される。ウェーハの平面は補助材の酸化物と接位させられ、ウェーハと補助材の間には数十ボルトの電位差が適用される。ここで得られる圧力は数10⁵〜10⁶パスカルである。

【0036】図4は、基板6のバルクから空間8によって遮隔された、補剛材7に結合されたフィルム5を示している。

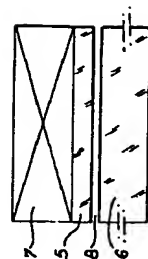
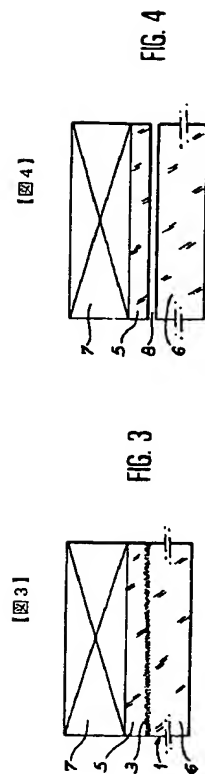
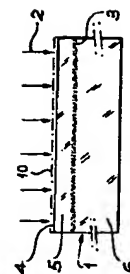
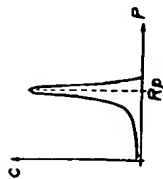
【0037】 本明細書は以下の資料を参照している。
 【0038】 (1) SIMOX SOI for Integrated Circuit Fabrication by Hon Wai Lam, IEEE Circuits and Devices Magazine, July 1987.

82

tor by Maszara, Goetz, Caviglia and McKitterick, *Journal of Applied Physics* 64 (10) 15 November 1988.

(4) Zone melting recrystallization silicon on insulator technology by BorYeu Tsaur, IEEE Circuits and Devices Magazine, July 1987.

(5) 1986 IEEE SOS/SOI Technology Workshop, September 30-October 2, 1986, South Seas plantation resort and yacht Harbour, Captiva Island, Florida.



フロントページの続き

(51) Int. Cl. 5

H01 L	27/12	31/04
-------	-------	-------

31/04

E

鑑別記号 片内整理番号
E 8728-4M

II

7376-4M

X

技術表示箇所